



SMARTSENS

SmartSens™

SC4336 设计应用指南

V1.0

2021.9.3

目录

目录.....	2
图片索引.....	3
表格索引.....	4
1. 系统描述.....	5
1.1. 芯片概述.....	5
1.2. 上电时序.....	5
2. 芯片引脚与封装信息.....	6
2.1. 芯片引脚信息.....	6
2.2. 芯片脚位图.....	8
2.3. 封装尺寸图.....	9
3. 典型应用电路.....	11
4. 版本变更记录.....	13

图片索引

图 1-1 上电时序图.....	5
图 2-1 封装引脚图.....	8
图 2-2 封装示意图.....	9
图 3-1 典型应用电路	11
图 3-2 电源供电和滤波电容连接方式.....	11
图 3-3 推荐 POWER TREE.....	12

表格索引

表 2-1 引脚描述.....	6
表 2-2 封装尺寸表.....	9

SmartSens Confidential - NDA Only

1. 系统描述

1.1. 芯片概述

SC4336 是监控相机领域先进的数字 CMOS 图像传感器，最高支持 2560H x 1440V @30fps 的传输速率。SC4336 输出 raw 格式图像，有效像素窗口为 2568 x 1448V，支持复杂的片上操作——例如窗口化、水平镜像、垂直倒置等。

SC4336 可以通过标准的 I²C 接口读写寄存器。

SC4336 可以通过 EFSYNC/FSYNC 引脚实现外部控制曝光。

1.2. 上电时序

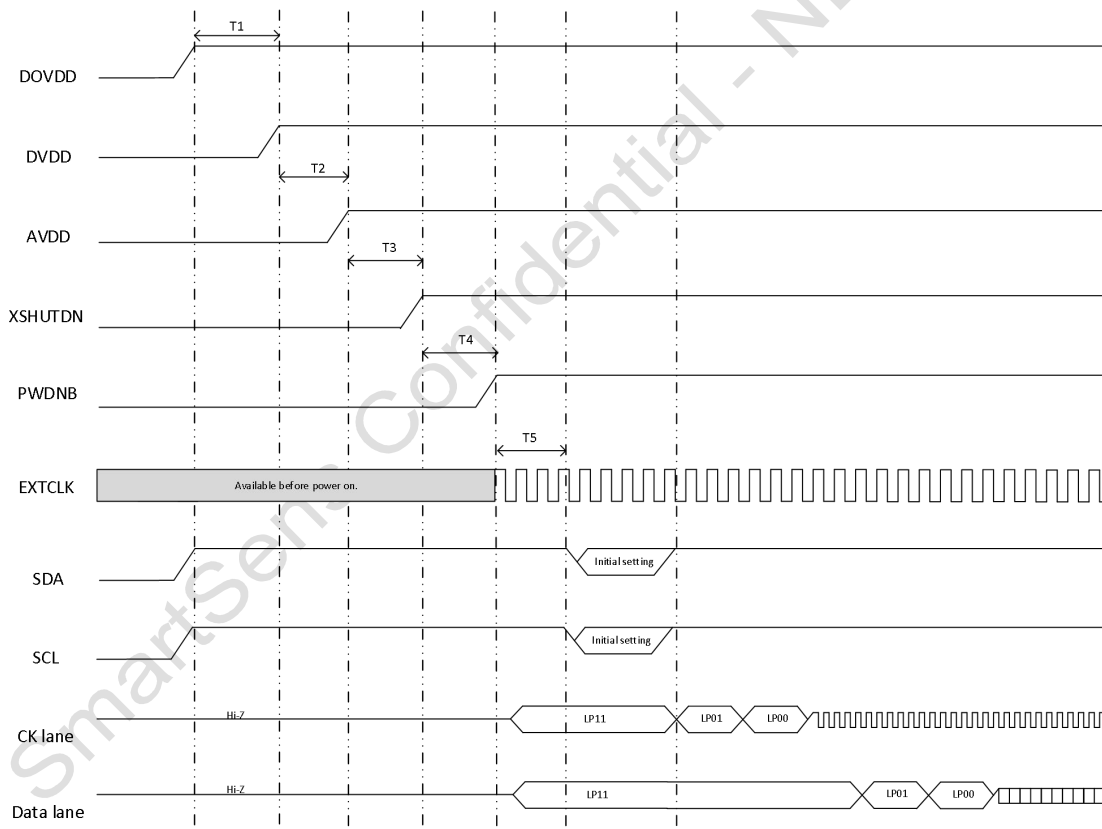


图 1-1 上电时序图

注：T1≥0ms, T2≥0ms, T3≥0ms, T4≥0ms, T5≥4ms。

2. 芯片引脚与封装信息

2.1. 芯片引脚信息

表 2-1 列出了 SC4336 图像传感器的引脚信息及相关描述。

表 2-1 引脚描述

序号	编号	信号名	引脚类型	描述
1	A1	AGND	地线	模拟地
2	A2	NC	-	-
3	A3	EXTCLK	输入	时钟输入
4	A4	SDA	输入/输出	I ² C 数据线(open drain)
5	A5	SCL	输入	I ² C 时钟线
6	A6	XSHUTDN	输入	复位信号输入（内置上拉电阻，低电位有效）
7	A7	EFSYNC	输入	外部帧同步信号
8	B1	AVDD	电源	2.8V 模拟电源
9	B2	DOGND	地线	I/O 地
10	B3	FSYNC	输入	外部帧同步信号
11	B4	DVDD	电源	默认内置 LDO 供电；外部供电方案，请联系 FAE
12	B5	SID	输入	I ² C Device ID（内置下拉电阻，默认为低电位，对应 Device ID 是 7'h30）
13	B6	DVDD	电源	默认内置 LDO 供电；外部供电方案，请联系 FAE
14	B7	AVDD	电源	2.8V 模拟电源
15	C1	DVDD	电源	默认内置 LDO 供电；外部供电方案，请联系 FAE
16	C2	DOVDD	电源	1.8V I/O 电源
17	C3	DOVDD	电源	1.8V I/O 电源
18	C4	MCP	输出	MIPI 时钟正极信号
19	C5	MD2N_NC	-	NC（SC4336 不支持 4lane MIPI 输出，MD2N 仅为同系列芯片封装 P2P 预留）
20	C6	PWDNB	输入	Power Down 信号输入（内置上拉电阻，低电位有效）
21	C7	AGND	地线	模拟地
22	D1	MD3P_NC	-	NC（SC4336 不支持 4lane MIPI 输出，MD3P 仅为同系列芯片封装 P2P 预留）
23	D2	MD1N	输出	MIPI 数据 1 负极信号
24	D3	MD1P	输出	MIPI 数据 1 正极信号
25	D4	MCN	输出	MIPI 时钟负极信号

序号	编号	信号名	引脚类型	描述
26	D5	MD0N	输出	MIPI 数据 0 负极信号
27	D6	DOGND	地线	I/O 地
28	D7	VREFN2	输出	内部参考电压（外接电容至 AGND）
29	E1	MD3N_NC	-	NC（SC4336 不支持 4lane MIPI 输出，MD3N 仅为同系列芯片封装 P2P 预留）
30	E2	NC	-	-
31	E3	NC	-	-
32	E4	DVDD	电源	默认内置 LDO 供电；外部供电方案，请联系 FAE
33	E5	MD0P	输出	MIPI 数据 0 正极信号
34	E6	MD2P_NC	-	NC（SC4336 不支持 4lane MIPI 输出，MD2P 仅为同系列芯片封装 P2P 预留）
35	E7	VREFN	输出	内部参考电压（外接电容至 AGND）

2.2. 芯片脚位图

图 2-1 为 SC4336 封装引脚图。

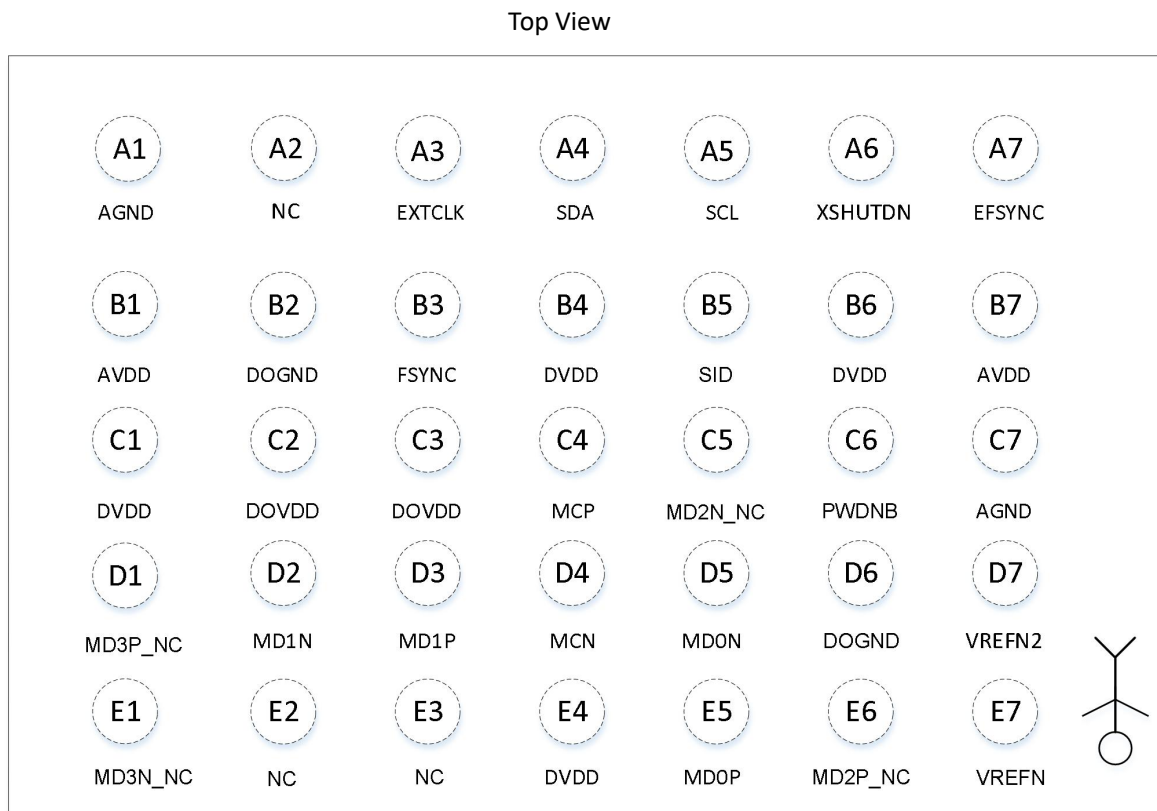


图 2-1 封装引脚图

2.3. 封装尺寸图

SC4336 提供 35-pin CSP 的封装，封装尺寸图如图 2-2 所示。

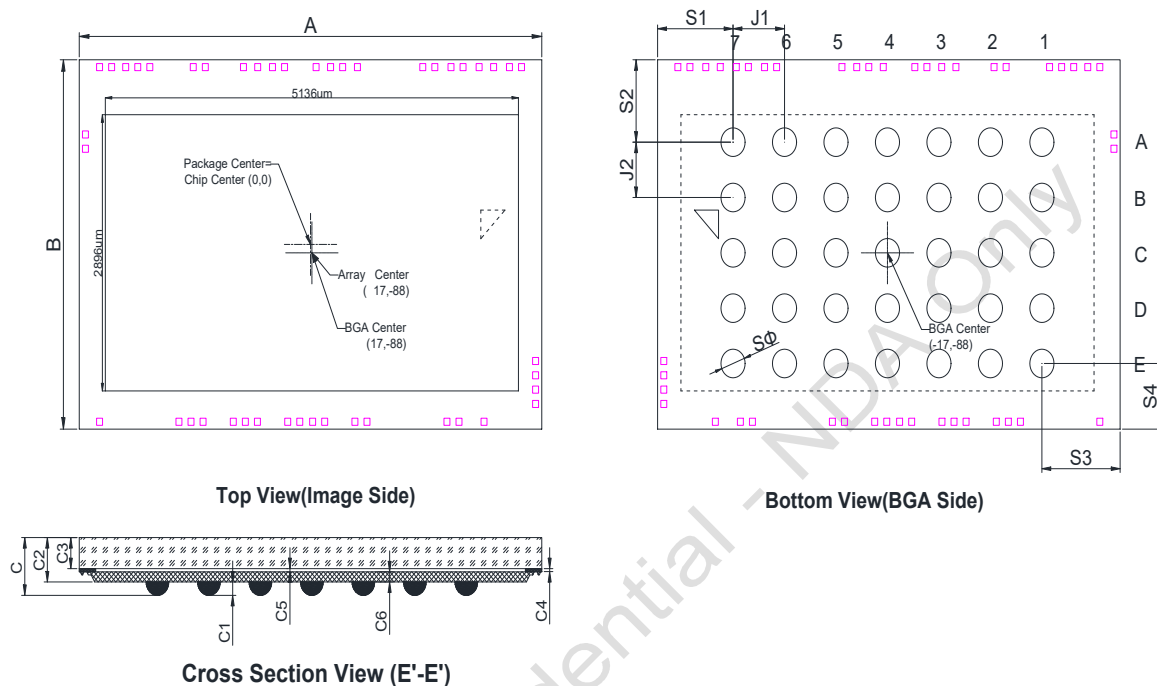


图 2-2 封装示意图

注：

- 1) 芯片的 Chip Center 与 Array Center 不重合，BGA Center 与 Array Center 重合。以 Chip Center 为原点，Array Center 和 BGA Center 均为(17, -88)，单位为 μm 。
- 2) Bottom View 中三角形直角指向 A1 所在位置，如图上所示，Bottom View 右上角锡球为 A1 所在位置，三角形实际位置以实物为准。

表 2-2 封装尺寸表

Parameter	Symbol	Nominal	Min	Max	Nominal	Min	Max
		Millimeters			Inches		
Package Body Dimension X	A	5.750	5.725	5.775	0.226	0.225	0.227
Package Body Dimension Y	B	3.872	3.847	3.897	0.152	0.151	0.153
Package Height	C	0.690	0.630	0.750	0.027	0.025	0.030
Si Thickness	C6	0.150	0.140	0.160	0.006	0.006	0.006
Glass Thickness	C3	0.300	0.290	0.310	0.012	0.011	0.012
Package Body Thickness	C2	0.540	0.505	0.575	0.021	0.020	0.023
Ball Height	C1	0.150	0.120	0.180	0.006	0.005	0.007

Parameter	Symbol	Nominal	Min	Max	Nominal	Min	Max
		Millimeters			Inches		
Ball Diameter	SΦ	0.300	0.270	0.330	0.012	0.011	0.013
Total Ball Count	N	35	-	-	-	-	-
Ball Count X axis	N1	7	-	-	-	-	-
Ball Count Y axis	N2	5	-	-	-	-	-
Pins Pitch X axis1	J1	0.64	0.63	0.65	0.0252	0.0248	0.02559
Pins Pitch X axis2	J2	0.58	0.57	0.59	0.02283	0.02244	0.02323
Edge to Ball Center Distance along X1	S1	0.938	0.908	0.968	0.037	0.036	0.038
Edge to Ball Center Distance along Y1	S2	0.864	0.834	0.894	0.034	0.033	0.035
Edge to Ball Center Distance along X2	S3	0.972	0.942	1.002	0.038	0.037	0.039
Edge to Ball Center Distance along Y2	S4	0.688	0.658	0.718	0.027	0.026	0.028

图 3-1 为 SC4336 的典型应用电路，图 3-2 为 SC4336 电源供电和滤波电容连接方式，图 3-3 为 SC4336 推荐 Power Tree。

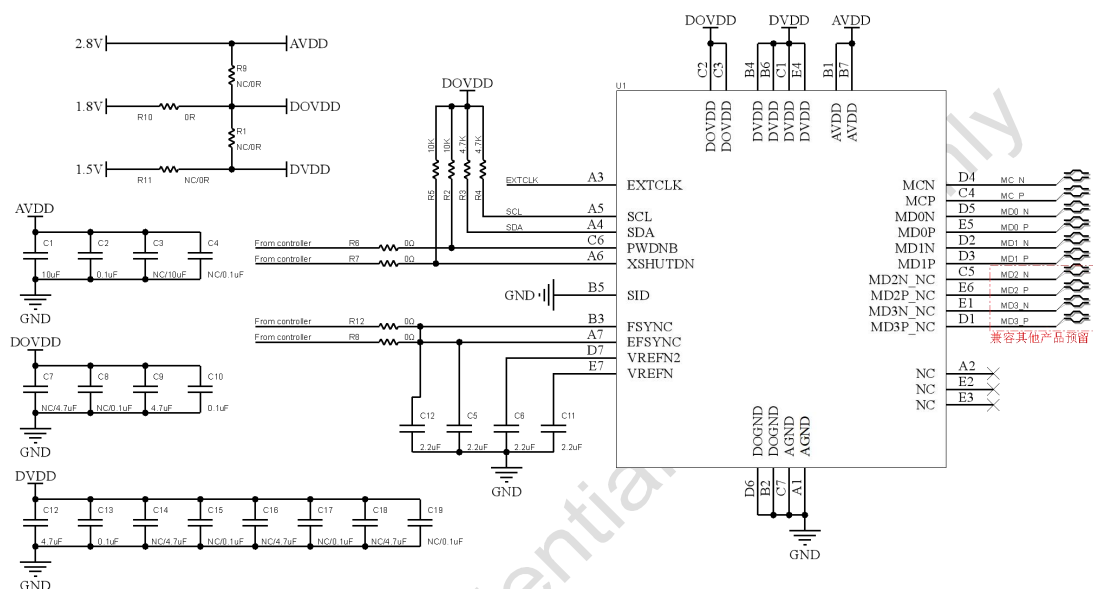


图 3-1 典型应用电路

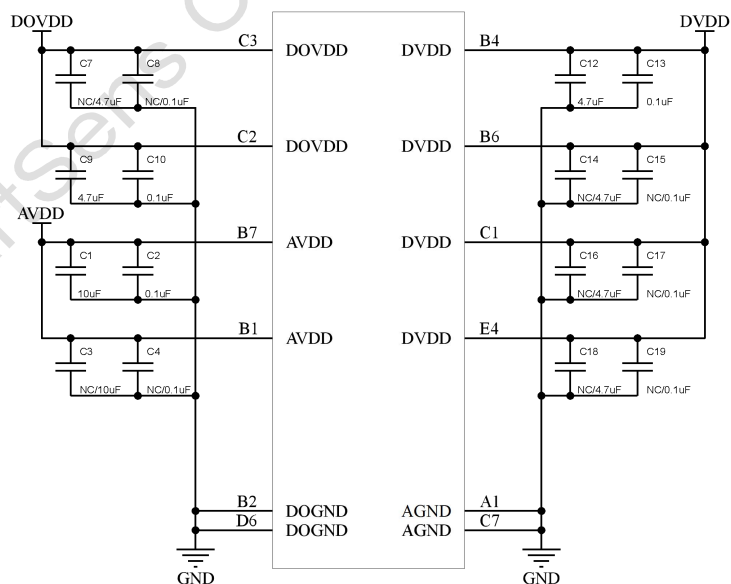


图 3-2 电源供电和滤波电容连接方式

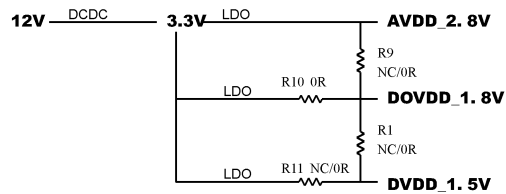


图 3-3 推荐 Power Tree

注：

- 1) SC4336 芯片分三路电源供电：DOVDD 外接 1.8V，AVDD 外接 2.8V，DVDD 推荐使用内置 LDO 供电。其中，AVDD 必须单独外接 2.8V 电源。滤波电容按照图 3-2 组合放置，靠近对应的引脚，电容大小可参考图 3-2；
- 2) DOVDD 电压须与主控 I/O 电压保持一致；
- 3) 模拟地、I/O 地不需分割，建议直连至 GND；
- 4) VREFN、VREFN2 外接 2.2μF 电容，电容靠近芯片引脚，并且远离 I/O 翻转信号，如 EXTCLK、MIPI 线对；
- 5) 图 3-3 中，DVDD LDO 与 R1 必须预留位置，作用为兼容已有产品；
- 6) R6、R7、R8、R10、R12 必须放置 0R 电阻，作用为兼容已有产品；
- 7) C3、C4、C7、C8、C14、C15、C16、C17、C18、C19 必须预留位置，不需装配器件，作用为兼容已有产品；
- 8) EXTCLK 由主控芯片或有源晶振提供，信号频率范围 6-40MHz；
- 9) PWDNB、XSHUTDN 接 10K 电阻上拉到 DOVDD，或通过 GPIO 控制；
- 10) 外部帧同步（SLAVE MODE）触发信号可通过 EFSYNC 引脚输入；
- 11) SID 引脚按需求直接接地或 DOVDD，不可悬空；
- 12) 镜头底座空间内尽量不要摆放任何电容电阻，减少芯片表面脏污来源；
- 13) MIPI 信号走线要求：
 - a) MIPI 的差分线阻抗控制标准是 100Ω，误差不能大于±10%；
 - b) 避免直角走线，以免产生反射，影响高速传输性能；
 - c) 参考层：MIPI 信号线下方一定要有参考层（推荐用地层），且一定要保证参考层的连续性（即在 MIPI 信号线下方的参考层不能被分割或有间隙，不能被其它走线截断），最好是有一整片的地层，如果做不到，至少要保证 MIPI 信号线下方的参考层比 MIPI 信号线每边要宽 4W 以上（W 即 MIPI 信号走线宽度）；
 - d) 等长：MIPI 线对之间的长度误差是要控制在 10mil 以内，线对与线对之间的长度误差控制在 100mil 以内；等长是为了保证两个差分信号能同时到达接收端。做等长时，要注意对称性，绕蛇形线时不能太密集，应为 4W，等长尽量在焊盘附近解决，以倒角形式来走线，不能随意改变线宽和线距；
 - e) 对称性：MIPI 线对要始终保持等长和等距。对称是为了保证走线阻抗一致，减少反射。对称性不好会使信号失真，导致不稳定或无图；
 - f) 远离干扰：MIPI 线对之间要保持至少 2W 以上的间距，MIPI 信号线应远离其它高速信号（并行数据线、时钟线等），至少保持 3W 以上的距离且绝不能平行走线。对开关电源这一类的干扰源更应远离；
 - g) 过孔：MIPI 信号线尽量不要打过孔，如有过孔则线对上的两根线都要有（保持对称性），信号线换层后参考层也要在靠近信号线的过孔处打孔换层。

4. 版本变更记录

版本	修改内容以及说明	Owner and date
1.0	初始版本	Rina Yang/2021.9.3

联系我们：

总部：

地址：上海市徐汇区宜山路 1009 号 11 楼

电话：021-64853570

传真：021-64853570-8009

邮箱：sales@smartsensotech.com

网址：<http://www.smartsensotech.com>

美国分公司：

地址：4340 Stevens Creek Blvd. Suite 280, San Jose, CA 95129

电话：+1 (408) 981-6626

深圳分公司：

地址：深圳市龙岗区坂田街道五和大道南星河 WORLD B 座 2908

电话：0755-23739713

思特威技术支持邮箱：

support@smartsensotech.com